

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平8-51631

(43)公開日 平成8年 (1996) 2月20日

(51)Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

FI

技術表示箇所

H04N 7/32

H03M 7/30

7/40

A 9382-5K

9382-5K

H04N 7/137

Z

審査請求 未請求 請求項の数9 OL (全 10 頁)

(21)出願番号

特願平7-163680

(22)出願日

平成7年 (1995) 6月29日

(31)優先権主張番号

9408105

(32)優先日

1994年6月30日

(33)優先権主張国

フランス (FR)

(31)優先権主張番号

9410583

(32)優先日

1994年9月2日

(33)優先権主張国

フランス (FR)

(71)出願人 590000248

フィリップス エレクトロニクス ネムローゼ フェンノートシャップ  
PHILIPS ELECTRONICS  
N. V.

オランダ国 アインドーフエン フルネヴァウツウエッハ 1

(72)発明者

ヘリット ジョアン キースマン

オランダ国 5611 エスエー アインドーフエン ヘルドロップスウエッハ 95アー

(74)代理人

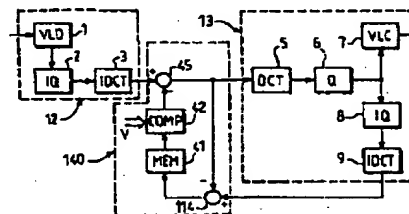
弁理士 杉村 暁秀 (外5名)

(54)【発明の名称】 トランスコーディング方法及び装置

(57)【要約】

【目的】 簡単且つ安価に実現しうるトランスコーディング装置を提供することにある。

【構成】 画像系列を表す符号化ディジタル信号をトランスコーディングする装置であり、この装置は可変長復号化チャンネル12の後段に可変長符号化チャンネル13を具える。本発明では、これらの2つのチャンネル間に直列に予測サブアセンブリ140を接続する。このサブアセンブリは、前記符号化チャンネル13の予測出力端子及び入力端子間に接続された第1減算器114と前記復号化チャンネル12の出力端子及び前記符号化サブアセンブリの入力端子間の第2減算器45との間に、画像メモリ41及び前画像に対する現画像の動きを表す動きベクトルに基づく動き補償回路42を直列に具える。他の実施例では、前記予測サブアセンブリに少なくとも2つ、一般に所望の画質レベルと同数の複数の符号化及び復号化チャンネルを直列に配置する。



## 【特許請求の範囲】

【請求項1】 画像系列に対応する符号化されたディジタル信号をトランスコーディングする方法であって、各現画像と関連する入力ディジタル信号の復号化ステップに続いて符号化ステップを行うものにおいて、前記復号化ステップと符号化ステップとの間に、予測ステップを具え、該予測ステップが、(a) 前記符号化ステップ中の符号化エラーを決定する第1減算サブステップと、(b) 前記符号化エラーを蓄積する蓄積サブステップと、(c) 前記現画像と前画像との間の動き補償を行うサブステップと、(d) 前記復号化ステップ後に得られた復号された信号と前記動き補償サブステップ後に得られた動き補償された信号とを減算する第2減算サブステップとを直列に具え、前記第2減算サブステップの出力を前記符号化ステップの入力とすることを特徴とするトランスコーディング方法。

【請求項2】 前記復号化ステップが可変長復号化サブステップ、第1逆量子化サブステップ及び第1逆周波数変換サブステップを直列に具え、且つ前記符号化ステップが周波数変換サブステップ及び量子化サブステップを直列に具え、該量子化サブステップの後段に並列に、一方では可変長符号化サブステップを、他方では逆量子化サブステップ及び逆周波数変換サブステップを直列に具える請求項1記載の方法において、前記第1減算サブステップが前記周波数変換サブステップ前の信号と前記第2逆周波数変換サブステップ後の信号とを減算することを特徴とするトランスコーディング方法。

【請求項3】 画像系列に対応する符号化されたディジタル信号をトランスコーディングする方法であって、各現画像と関連する入力ディジタル信号の復号化ステップに続いて符号化ステップを行うものにおいて、前記復号化ステップと符号化ステップとの間に、予測ステップを具え、該予測ステップが、(a) 前記符号化ステップ中の符号化エラーを決定する第1減算サブステップと、(b) 周波数信号を空間信号に変換する第1変換サブステップと、(c) 前記第1変換サブステップ後に得られた信号を蓄積する蓄積サブステップと、(d) 前記現画像と前画像との間の動き補償を行うサブステップと、(e) 空間信号を周波数信号に変換する第2変換サブステップと、(f) 前記復号化ステップ後に得られた復号された信号と前記第2変換サブステップ後に得られた信号とを減算する第2減算サブステップとを直列に具え、前記第2減算サブステップの出力を前記符号化ステップの入力とすることを特徴とするトランスコーディング方法。

【請求項4】 前記復号化ステップが可変長復号化サブステップ及び第1逆量子化サブステップを具え、且つ前記符号化ステップが、第1量子化サブステップに続いて

並列に、一方では第1可変長符号化サブステップを、他方では第2逆量子化サブステップを具える請求項3記載の方法において、前記第1減算サブステップが前記第1量子化サブステップ前の信号と前記第2逆量子化サブステップ後の信号とを減算することを特徴とするトランスコーディング方法。

【請求項5】 前記第1減算サブステップと周波数信号を空間信号に変換する前記第1変換サブステップとの間に、少なくとも一つの追加の符号化ステップを具え、この追加の符号化ステップが、第2量子化サブステップに続いて並列に、一方では第2可変長符号化サブステップを、他方では第3逆量子化サブステップ及びその後段にあって前記第2量子化サブステップ前の信号とこの第3逆量子化サブステップ後の信号とを減算する第3減算サブステップを具えることを特徴とする請求項4記載の方法。

【請求項6】 画像系列に対応する符号化されたディジタル信号をトランスコーディングする装置であって、

(A) 各現画像と関連する入力信号を復号する復号化サブアセンブリと、

(B) 符号化出力端子及び予測出力端子を有する符号化サブアセンブリとを具えたものにおいて、

(C) 前記復号化サブアセンブリの出力端子と前記符号化サブアセンブリの入力端子との間に予測サブアセンブリを具え、該予測サブアセンブリが、(a) その正及び負入力端子が前記符号化サブアセンブリの予測出力端子及び入力端子にそれぞれ接続された第1減算器、及びその正入力端子及び出力端子が前記復号化サブアセンブリの出力端子及び前記符号化サブアセンブリの入力端子にそれぞれ接続された第2減算器と、(b) 前記第1減算器の出力端子と前記第2減算器の負入力端子との間に直列に接続された画像メモリ及び前画像に対する現画像の動きを表す動きベクトルに基づく動き補償回路と、を具えたことを特徴とするトランスコーディング装置。

【請求項7】 画像系列に対応する符号化されたディジタル信号をトランスコーディングする装置であって、

(A) 各現画像と関連する入力信号を復号する復号化サブアセンブリと、

(B) 符号化出力端子及び予測出力端子を有する符号化サブアセンブリとを具えたものにおいて、

(C) 前記復号化サブアセンブリの出力端子と前記符号化サブアセンブリの入力端子との間に予測サブアセンブリを具え、該予測サブアセンブリが、(a) その正及び負入力端子が前記符号化サブアセンブリの予測出力端子及び入力端子にそれぞれ接続された第3減算器、及びその正入力端子及び出力端子が前記復号化サブアセンブリの出力端子及び前記符号化サブアセンブリの入力端子にそれぞれ接続された第4減算器と、(b) 前記第3減算器の出力端子と前記第4減算器の負入力端子との間に直列に接続された逆周波数変換回路、画像メモリ、前画像

に対する現画像の動きを表す動きベクトルに基づく動き補償回路及び周波数変換回路と、を具えたことを特徴とするトランスコーディング装置。

【請求項8】 前記予測サブアセンブリは、更に、前記第3減算器の出力端子と前記逆周波数変換回路の入力端子との間に、第2符号化出力端子及び第2予測出力端子を有する少なくとも一つの追加の符号化サブアセンブリを具え、この追加の符号化サブアセンブリの後段に第5減算器を具え、その正及び負入力端子が前記第2予測出力端子及び前記第3減算器の出力端子にそれぞれ接続され、且つその出力端子が前記逆周波数変換回路の入力端子に接続されていることを特徴とする請求項7記載の装置。

【請求項9】 前記予測サブアセンブリは画質レベルと同数の複数の同様の符号化サブアセンブリを具えていることを特徴とする請求項8記載の装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は画像系列に対応する符号化されたデジタル信号をトランスコーディングする方法及びこの方法の変形に関するものである。本発明はまたこの方法又はその変形を実施するトランスコーディング装置にも関するものである。

【0002】

【従来の技術】 トランスコーディングとは、ここでは、所定のビットレートを有するデータストリームを異なるビットレートを有する別のデータストリームに変換する処理を意味する。本発明はデータストリームをMPEG標準に従ってトランスコーディングするのに特に好適である（ここでMPEGは1990年に設立された国際標準化機構ISOの専門委員会である"Moving Picture Experts Group"の略称であり、このMPEG標準は動画の伝送及び蓄積用にこの委員会が採用したものであり、ISOにより多くの刊行物に公表されている）。このMPEG標準は、例えば"Communications of the ACM", April 91, vol.34, no.4, pp.46-45, に発表されたD. LeGallの論文"MPEG: A Video Compression Standard for Multimedia"に記載されている。

【0003】 トランスコーディングの問題は、一つの信号輸送手段が他の信号輸送手段とインタフェースする場合に起こりうる。例えば、（衛星により送信されるような）9Mビット/秒のMPEG圧縮ビデオ信号を限られたケーブル容量のケーブルヘッドエンドで中継する必要がある場合には、ケーブルヘッドエンドはこの入信号を低ビットレート、例えば5Mビット/秒で中継しなければならない。従って、特定のトランスコーディング問題はビットレート変換にあり、基本的にはトランスコーダは直列に接続されたデコーダ及びエンコーダからなる。

【0004】 米国特許第5294974号はMPEG標準とコンパチブルな慣例の構成のエンコーダを開示して

おり、このような構成のエンコーダの一例を本願の図2に示す。図1はMPEG型の慣例のデコーダの一例を示す。

【0005】 図1の示すデコーダは復号化チャンネル12を具え、この復号化チャンネルは可変長復号化回路(VLD)1、逆量子化回路(IQ)2及び逆周波数変換回路（例えば逆ディスクリートコサイン変換回路(IDCT)3のような逆直交変換回路）を直列に具える。このデコーダは、更に、動き補償段4を直列に具え、この段はデコーダからの出力信号を受信する画像メモリ(MEM)41と、このメモリ41の出力信号とデコーダが符号化信号と同時に受信する動きベクトルV（伝送され及び/又は蓄積される）とに基づく動き補償回路(COMP)42と、逆ディスクリートコサイン変換回路3の出力信号と回路42の出力信号を加算する加算器43とを直列に具え、この加算器の出力端子がデコーダの出力端子とメモリ41の入力端子の両方を構成する。

【0006】 図2に示すエンコーダは、符号化及び復号化チャンネル13と予測チャンネル10を具える。符号化及び復号化チャンネルは、周波数変換回路（同様に、例えばディスクリートコサイン変換回路(DCT)5のような直交変換回路）、量子化回路(Q)6及び可変長符号化回路(LVC)7を直列に具え、回路6の出力側に、更に、逆量子化回路(IQ)8及び逆周波数変換回路（例えば逆ディスクリートコサイン変換回路(IDCT)9のような逆直交変換回路）を具える。以下の記載において、回路7の出力端子は符号化出力端子といい、トランスコーダの出力端子を構成し、回路9の出力端子は予測出力端子といい、予測チャンネルの入力端子を構成する。

予測チャンネルは、ブロックを再構成する加算器101（本例では動画の系列に対応する原ビデオ信号が各m×n画素の同一サイズのブロックに分割されている）と、画像メモリ(MEM)102と、予め推定された動きベクトルに基づく動き補償回路(COMP)103と、正入力端子にエンコーダの入力信号を受信し、負入力端子に回路103の出力信号を受信してこれらの信号の差のみを符号化する減算器11とを具えるサブアセンブリからなる。加算器101は回路103からのこの出力信号と符号化及び復号化チャンネルからの予測出力信号とを受信する。

【0007】 これらのデコーダ及びエンコーダを組み合わせてなるトランスコーダアセンブリを図3に示す。図3はデコーダの回路1、2、3(VLD, IQ, IDCT)をこれに等価な素子、即ちチャンネル12(DECODE)で示すと置き換えて簡略化してある。図3は、更に、エンコーダ内の回路5、6、7をこれに実質的に等価な素子、即ちチャンネル13(CODEC)で示すと置き換えて更に簡略化してある。上述したように、回路7及び9の出力端子を符号化出力端子及び予測出力端子という。上述したトランスコーディング方法及び装置のコ

ストは特に画像メモリのような幾つかの素子に依存する。

【0008】

【発明が解決しようとする課題】本発明の目的は、もっと簡単に低コストで実施しうる上述した方法と同様のトランスコーディング方法を提供することにある。

【0009】

【課題を解決するための手段】この目的のために、本発明は、各現画像と関連する入力デジタル信号の復号化ステップに続いて符号化ステップを具え、画像系列に対応する符号化されたデジタル信号をトランスコーディングする方法において、前記復号化ステップと符号化ステップとの間に、予測ステップを具え、該予測ステップが、(a)前記符号化ステップ中の符号化エラーを決定する第1減算サブステップと、(b)前記符号化エラーを蓄積する蓄積サブステップと、(c)前記現画像と前画像との間の動き補償を行うサブステップと、(d)前記復号化ステップ後に得られた復号された信号と前記動き補償サブステップ後に得られた動き補償された信号とを減算する第2減算サブステップとを直列に具え、前記第2減算サブステップの出力を前記符号化ステップの入力とすることを特徴とする。

【0010】デコーダとエンコーダを効率よく組み合わせることにより、このように構成されたトランスコーディング方法は完全なデコーダと完全なエンコーダとをそのまま単に組み合わせたものと比較して複雑度の著しい低減をもたらす。本発明は、デコーダで使用する動きベクトルを後段のエンコーダで再使用することができ、

(MPEG標準に従う画像群の構成がトランスコーダに入力するデータストリーム及びこれから出るデータストリームに対し同一である場合には)エンコーダ内に通常配置される動き推定回路を省略することができるという事実を主として基づくものである。このように動きベクトルを推定する必要がなくなると、トランスコーディング装置の計算の複雑度を著しく低減する。同様に、MPEG標準の場合には、画像を種々のモードで符号化しうる。この場合、エンコーダはデコーダで使用するイメージ符号化又はフィールド符号化の選択に関する決定だけを再使用する。また、一群の画像内において、画像をエンコーダに送る順序をB型の画像を予測しうるように変更することが既知である(これらの画像は前画像及び次画像を用いる2方向動き補償のために予測される)。これらのB型画像を2画像周期だけ遅延し、この変更順序を送信に使用し、もとの順序をデコーダ出力端でのみ復元する。デコーダの後段にエンコーダを具えるこのトランスコーディング構成の場合には、他の画像順序付けがエンコーダで必要になるため、このような画像順序復元をデコーダ出力端で行わないほうが簡単である。最後に、その入力データの殆どをデコーダからエンコーダへ複写することができるので、復号された画像をトランス

コーディング装置内に使用可能に維持する必要がないため、先に復号された画像を蓄積するのに必要なメモリ容量が減少する。

【0011】本発明は、更に、各現画像と関連する入力デジタル信号の復号化ステップに続いて符号化ステップを具え、画像系列に対応する符号化されたデジタル信号をトランスコーディングする方法において、前記復号化ステップと符号化ステップとの間に、予測ステップを具え、該予測ステップが、(a)前記符号化ステップ中の符号化エラーを決定する第1減算サブステップと、(b)周波数信号を空間信号に変換する第1変換サブステップと、(c)前記第1変換サブステップ後に得られた信号を蓄積する蓄積サブステップと、(d)前記現画像と前画像との間の動き補償を行うサブステップと、(e)空間信号を周波数信号に変換する第2変換サブステップと、(f)前記復号化ステップ後に得られた復号された信号と前記第2変換サブステップ後に得られた信号とを減算する第2減算サブステップとを直列に具え、前記第2減算サブステップの出力を前記符号化ステップの入力とすることを特徴とする。

【0012】更に、2以上の画質レベルに従って画像を分配する場合には、このような方法において、更に少なくとも一つの追加の符号化ステップを付加し、符号化ステップの総数を所望の画質レベルの数に対応させることができる。

【0013】本発明の他の目的は、完全なデコーダと完全なエンコーダを用いる慣例の実施装置より著しく簡単且つ安価であるトランスコーディング装置をもたらすこのような方法の実施装置を提供することにある。

【0014】この目的のために、本発明は、画像系列に対応する符号化されたデジタル信号をトランスコーディングするために、

(A)各現画像と関連する入力信号を復号する復号化サブアセンブリと、

(B)符号化出力端子及び予測出力端子を有する符号化サブアセンブリとを具えたトランスコーディング装置において、

(C)前記復号化サブアセンブリの出力端子と前記符号化サブアセンブリの入力端子との間に予測サブアセンブリを具え、該予測サブアセンブリが、(a)その正及び負入力端子が前記符号化サブアセンブリの予測出力端子及び入力端子にそれぞれ接続された第1減算器、及びその正入力端子及び出力端子が前記復号化サブアセンブリの出力端子及び前記符号化サブアセンブリの入力端子にそれぞれ接続された第2減算器と、(b)前記第1減算器の出力端子と前記第2減算器の負入力端子との間に直列に接続された画像メモリ及び前画像に対する現画像の動きを表す動きベクトルに基づく動き補償回路と、を具えたことを特徴とする。

【0015】本発明は、更に、画像系列に対応する符号

化されたデジタル信号をトランスコーディングするために、

(A) 各現画像と関連する入力信号を復号する復号化サブアセンブリと、

(B) 符号化出力端子及び予測出力端子を有する符号化サブアセンブリとを具えたトランスコーディング装置において、

(C) 前記復号化サブアセンブリの出力端子と前記符号化サブアセンブリの入力端子との間に予測サブアセンブリを具え、該予測サブアセンブリが、(a) その正及び負入力端子が前記符号化サブアセンブリの予測出力端子及び入力端子にそれぞれ接続された第3減算器、及びその正入力端子及び出力端子が前記復号化サブアセンブリの出力端子及び前記符号化サブアセンブリの入力端子にそれぞれ接続された第4減算器と、(b) 前記第3減算器の出力端子と前記第4減算器の負入力端子との間に直列に接続された逆周波数変換回路、画像メモリ、前画像に対する現画像の動きを表す動きベクトルに基づく動き補償回路及び周波数変換回路と、を具えたことを特徴とする。

【0016】特に画像を2以上の画質レベルで分配する場合には、前記予測サブアセンブリが、第3減算器の出力端子と逆周波数変換回路の入力端子との間に、第2符号化出力端子及び第2予測出力端子を有する少なくとも一つの追加の符号化サブアセンブリを具え、この追加の符号化サブアセンブリの後段に第5減算器を具え、その正及び負入力端子を前記第2予測出力端子及び前記第3減算器の出力端子にそれぞれ接続し、且つその出力端子を前記逆周波数変換回路の入力端子に接続する。一般に、前記予測サブアセンブリには画質レベルと同数の複数の同様の符号化サブアセンブリを直列に設けることができる。本発明のこれらの特徴及び他の特徴が以下に記載する本発明の実施例の説明から明らかになる。

【0017】

【実施例】図面を参照して以下に本発明トランスコーディング装置の3つの実施例を説明する。しかし、これらは本発明の特定の実施例に対応するものにすぎず、例えばこれらの実施例に設けられた回路の幾つか又は全ての動作に対応する一連の命令のオペレーティングプロセスを制御するマイクロプロセッサを含む他の実施例を提案することもできる。従って、これらの実施例の説明の後、これらの実施例を本発明トランスコーディング方法のステップで説明する。

【0018】図4に示す本発明の第1の実施例のトランスコーディング装置は、図3に示す従来の場合と同様に、回路1、2、3を直列に具える復号化チャンネル12と、回路5～9を具える符号化及び復号化チャンネル13とを具える。本発明の装置は、これらのチャンネル12及び13間に、予測サブアセンブリ140を具え、このサブアセンブリは、正入力端子がチャンネル13の予測出力

端子（即ち、逆ディスクリートコサイン変換回路9の出力端子）に接続され、負入力端子が符号化サブアセンブリ13の入力端子に接続された第1減算器114、及び正入力端子が復号化サブアセンブリ12の出力端子（即ち逆ディスクリートコサイン変換回路3の出力端子）に接続され、出力端子が符号化サブアセンブリ13の入力端子（即ちディスクリートコサイン変換回路5の入力端子）に接続された第2減算器45と、第1減算器114の出力端子と第2減算器45の負入力端子間に直列に配置された画像メモリ41及び動き補償回路42とを具える。

【0019】このように限定された構成を図3に示す構成と比較すると、本発明によれば複雑度の著しい低減が得られることがわかる。即ち、図3に比較して、一つの画像メモリと一つの動き補償回路が節約され且つ2つの加算器の一つが減算器と置き換えられる。

【0020】このように簡単化されたトランスコーディング装置がそれにもかかわらず図3に示す複雑な装置と同一に動作することを証明する必要がある。この目的のためには、図3の装置（及び図1及び図2のデコーダ及びエンコーダ）内の種々の点に存在する信号を定義するのが有用である。符号化時には原信号と予測信号との差信号のみが符号化チャンネルに供給される点を考慮すると、復号化チャンネル12は差信号を出力する。ここではこの差信号を（例えば画像 $I_1(n)$ の）残差信号 $R_1(n)$ といい、 $n$ は画像系列内の関連する画像の番号（又はランク）を示す。この残差信号 $R_1(n)$ に基づいて、対応する復号画像 $I_1(n)$ が、この残差信号 $R_1(n)$ にその前に復号された画像 $I_1(n-1)$ から形成され回路42で動き補償された予測画像 $S(I_1(n-1), V)$ が加算されて構成される。従って、この予測画像は動き補償回路42の出力端子に得られる（画像は各々4つの輝度ブロックと2つのクロミナンスブロックを具えるマクロブロックに分割され、動きベクトル $V$ は各マクロブロックに関連し、 $V$ は予め決定された動きベクトルフィールドを示し、これに従って動き補償が前画像に対し実行され、 $S$ はシフト処理を示し、これに従って、画像 $I_1(n-1)$ に基づいて、予測された又は動き補償された画像を相関により得ることができる。このベクトルフィールド $V$ は原画像のブロックと最良の相関を有する前画像内のブロックをサーチする慣例のサーチ方法により簡単に得られる）。

【0021】信号 $I_1(n)$ を受信する後段のエンコーダでは、差信号を符号化する。これらの差信号は、 $I_1(n)$ からこのエンコーダの予測チャンネルの動き補償回路103の出力端子に得られる予測画像を減算することにより得られる。この減算により得られる各残差信号を $R_2(n)$ で示し、 $n$ は関連する原画像の番号を示し、添数2は第2の残差信号であることを示し、この信号 $R_2(n)$ が符号化処理に供給される。

【0022】このエンコーダにおいて、回路8及び9が

予測チャネルにおける減算による  $R_z(n)$  の計算に必要な復号化処理を実行する。動き補償による予測処理は  $S(I_z(n-1), V)$  で示され、ここで  $I_z(n-1)$  は (加算器 101 の出力端子に得られ、メモリ 102 に蓄積された) 先に復号された画像を示し、 $V$  は前述したように動き補償が前画像に対し行われる動きベクトルフィールドを示し、 $S$  は画像  $I_z(n-1)$  に基づいて予測された又は動き補償された画像が相関により得られるシフト処理を示す。

[0023] このエンコーダにおける直接ディスクリットコサイン変換、直接量子化処理、逆量子化処理、及び逆ディスクリットコサイン変換は完全に可逆的ではない。これらの処理はもとの信号と前記逆処理後の再構成信号との間に符号化エラー (又は量子化エラー) という比較的小さなエラー  $e_z(n)$  を導入する。この事実のために、チャネル 13 の入力端子 (即ち、ディスクリットコサイン変換回路 5 の入力端子) における、量子化後に回路 7 により符号化すべき残差信号  $R_z(n)$  は、回路 5 及び 6 で実行された処置及び回路 8 及び 9 で実行された逆処理後に純粋に残差信号のみならず、信号  $R_z(n) + e_z(n)$  (再構成された差分画像) になる。従って、加算器 101 の出力端子における、予測前の画像  $I_z(n)$  は  $I_z(n) = I_1(n)$  にならず (前記符号化エラーがない場合に等しくなる)、 $I_z(n) = I_1(n) + e_z(n)$  になる。

[0024] 図 5 に示すように、この符号化エラー  $e_z(n)$  は、信号  $R_z(n) + e_z(n)$  及び信号  $R_z(n)$  がそれぞれ存在するチャネル 13 の出力端子及び入力端子間に減算器 114 を配置することにより計算することができる。

$$S(I_z(n), V) = S((I_1(n) + e_z(n)), V) \quad (1)$$

前画像に対しては、

$$S(I_z(n-1), V) = S((I_1(n-1) + e_z(n-1)), V) \quad (2)$$

が書き表せ、線形特性を利用すると、

$$\begin{aligned} S((I_1(n-1) + e_z(n-1)), V) \\ = S(I_1(n-1), V) + S(e_z(n-1), V) \end{aligned} \quad (3)$$

が書き表せる。

[0027] この式 (3) において、加算器 43 の出力端子に再構成される現画像が  $I_1(n)$  である場合における項  $S(I_1(n-1), V)$  はこの加算器の補償信号入力端子

$$S(I_1(n-1), V) = S(I_z(n-1), V) - S(e_z(n-1), V) \quad (4)$$

と書き表せる。

[0028] 項  $S(I_z(n-1), V)$  は、画像メモリ 102 の入力信号が  $I_z(n-1)$  であるときの動き補償回路 103 の出力信号に関するものであるから、既知である。また、項  $S(e_z(n-1), V)$  は、トランスコーダ内の符号化エラーが得られる点 (即ち前述したように減算器 114 の出力端子) の後段に画像メモリ (信号  $e_z(n-1)$ ) を蓄積する) 及び動き補償回路 (演算  $S(e_z(n-1), V)$  を実行する) を直列に具える別の予測チャネルを設けることにより得ることができる。後述の図 6 には、この予測チャネルが実際に既に存在している。

このように、一方では  $e_z(n)$  が既知であり、他方では信号  $I_1(n) + e_z(n)$  が加算器 101 の出力端子に存在する場合、この加算器 101 の出力側に減算器 15 を配置し、その正入力端子にこの信号  $I_1(n) + e_z(n)$  を受信させ、その負入力端子に減算器 114 からの出力信号、即ち  $e_z(n)$  を受信させることができる。この場合には、減算器 15 の出力端子が  $I_1(n)$  を出力し、動き補償段 4 の画像メモリ 41 の入力端子を、図 3 に示すように、予測により再構成された信号  $I_1(n)$  を発生する加算器 43 の出力端子に接続する代わりに、図 5 に示すように、符号化エラー  $e_z(n)$  の除去により再構成された信号  $I_1(n)$  を発生するこの減算器 15 の出力端子に接続することができる。従って、図 5 の構成は図 3 の構成と等価であり、置換可能である。

[0025] 更に置換を実行することができる。動き補償回路 42 の出力は慣例の如く  $S(I_1(n-1), V)$  と示すことができ、ここで  $I_1(n-1)$  は加算器 43 の出力端子の現画像が  $I_1(n)$  であるとき再構成された前画像を示し (図示の場合)、 $V$  は前述したように動きベクトルフィールドを示し、 $S$  は  $I_1(n-1)$  に基づいて予測された又は動き補償された画像が相関により得られるシフト処理を示す。

[0026] 現画像の現ブロックと最良の相関を有する前画像内のブロックの選択及びこれらのブロックを結ぶ動きベクトルに対応するシフトからなるこのような動き補償処理は線形であること明らかである。従って、符号化エラーのためにその入力信号が  $I_z(n) = I_1(n) + e_z(n)$  である予測チャネルでは、次式が書き表せ、

(即ち加算器 4 の動き補償回路 42 の出力端子) に存在する信号を構成する。従って、式 (2) に基づき且つ式 (3) の場合と同様に線形特性を利用すると、回路 42 のこの出力信号は

$$S(I_1(n-1), V) = S(I_z(n-1), V) - S(e_z(n-1), V) \quad (4)$$

[0029] このようにして得られた新しい構成を図 6 に示す。この構成は、図 5 から、減算器 15 及び加算器 101 の出力端子とこの減算器の正入力端子との間の接続を省略し、減算器 44 を回路 42 の出力端子側に挿入することにより得られる。この減算器 44 の正入力端子は動き補償回路 103 の出力信号  $S(I_z(n-1), V)$  を受信し (このために図 5 に比較して追加の接続を設ける)、その負入力端子は画像メモリ 41 と動き補償回路 42 を用いて構成された上述した追加の予測チャネルの出力信号  $S(e_z(n-1), V)$  を受信し、このためにメモリ 41 の入力端子は減算器 114 の出力信号に接続さ



れている。

【0030】以下に示すように、図6の構成は図7に示

$$R_2(n) = I_1(n) - S(I_2(n-1), V)$$

又は

$$R_2(n) = R_1(n) + S(I_1(n-1), V) - S(I_2(n-1), V) \quad (6)$$

に従って得られる。

【0031】しかし、式(4)に従って、減算器44の出力端子に存在する信号  $S(I_1(n-1), V)$  は  $S(I$

$$R_2(n) = R_1(n) - S(e_2(n-1), V)$$

に簡単化される。

【0032】これは、一方では残差信号  $R_2(n)$  を中間画像再構成の必要なしに残差信号  $R_1(n)$  に基づいて直接計算することができることを意味し、図7に示すように、図6の減算器11及びその負入力端子への接続を省略することができることを意味する。他方では、これは、チャンネル13の入力端子に存在するこの残差信号  $R_2(n)$  は、残差信号  $R_1(n)$  から信号  $S(e_2(n-1), V)$  を減算することにより簡単に得られることを意味する。従って、図7に示すように、図6の減算器44並びにその正入力端子への接続を省略するとともに、加算器43を減算器45と置換し、旧減算器44の負入力端子を新減算器45の負入力端子に直接接続することができる。

【0033】図7において、他の素子13、114、41、42、101、102、103は理論的には同一のままである。しかし、この図から明らかなように、素子101、102、103は閉ループを構成し、何処へも信号を送り出さないで不要である。従って、これらの素子101、102、103は構成の他の部分を変更する必要なしに省略することができ、この省略により図4に示す本発明の装置が得られる(図4には本発明装置の全体、即ちチャンネル12及び13も明示されている)。

【0034】図4の構成を図3の構成と比較すると、本発明提案の技術的解決策により複雑度の著しい低減が得られること明らかである。図3の構成と比較して、画像メモリ及び動き補償回路が省略される。尚、2つの加算器の一つが減算器と置換される点に注意されたい。

【0035】本発明はこの実施例にのみ限定されず、多くの変更が考えられる。特に、図8は本発明トランスコーディング装置の第2の実施例を示す。この実施例は図4の実施例と比較して次の点が相違する。

【0036】(1) 復号化チャンネル(ここでは図4の12の代わりに212で示す)が可変長復号化回路1と逆量子化回路2のみを具える。

(2) 符号化及び復号化チャンネル(ここでは図4の13の代わりに213で示す)は量子化回路6と、可変長符号化回路7と、逆量子化回路8のみを具える。

【0037】(3) 予測サブアセンブリ(ここでは図4の140の代わりに240で示す)は、(a) チャンネル212の出力端子とチャンネル213の入力端子との間の減算器245と、(b) この減算器245の出力端子と

す構成に簡単化することができる。図6において、信号  $R_2(n)$  は次式:

$$(5)$$

$R_2(n-1), V) - S(e_2(n-1), V)$  と等価であり、これと置換することができ、 $R_2(n)$  は式(6)に基づいて次式(7):

$$(7)$$

チャンネル213の出力端子との間に接続された減算器214と、(c) この減算器214の出力端子と減算器245の負入力端子との間に直列に配置された画像メモリ241及び動き補償回路242と、(d) 図4の対応する素子114、41、42、45に類似のこれらの素子214、241、242、245に加えて、減算器214の出力端子とメモリ214の入力端子との間に直列に配置された逆周波数変換回路、例えば逆ディスクートコサイン変換回路のような逆直交変換回路243、及び動き補償回路242の出力端子と減算器245の負入力端子との間に直列に配置された周波数変換回路、例えばディスクートコサイン変換回路のような直交変換回路244とを具える。

【0038】この構成のトランスコーディング装置では、復号化チャンネル(回路1及び2)並びに符号化及び復号化チャンネル(回路6、7及び8)全体が永久に周波数領域に維持される。動き補償処理は周波数領域の代わりに空間領域で実行される点を考慮して、回路3及び5の省略を補償するために、予測サブアセンブリ内に243及び244で示す回路を再挿入し、これらの回路により回路242による動き補償のために空間領域に変換し、次いでこの動き補償の実現後に周波数領域に再び戻すことができるようにする必要がある。本例トランスコーディング装置は図4の実施例における2個の逆周波数変換回路の代わりに1個の逆周波数変換回路を具えるのみであり、複雑度の他の低減をもたらす。

【0039】図10に示す第3の実施例は数個の画質レベル(例えば2レベル)に従って画像を分配するものに対応する。このような符号化方式はMPEG-2標準のフレーム内で選択されている。図9は2画質レベルを有するエンコーダの一例を示す。この2層エンコーダは、

(1) 一方では、標準画質を有する第1のMPEG-2データストリームを供給するために図2の素子5、6、7、8、9、11、101、102、103を具え、

(2) 他方では、高画質符号化及び高精度予測をもたらす高精度量子化技術を実現可能にする追加の素子を具え、これらの追加の素子は、(a) 量子化ステップ前の信号及び逆量子化ステップ後の信号間の減算器301と、(b) 第2の可変長符号化回路303が後続された第2の量子化回路302と、(c) この回路302の出力端子に直列に接続された第2の逆量子化回路304及

び第1及び第2入力端子がこの第2の逆量子化回路及び第1の逆量子化回路8の出力端子に接続され出力端子が逆ディスクリートコサイン変換回路9の入力端子に接続された加算器305とを具える。

【0040】このようなエンコーダに対応するデコーダは、メモリと可変長デコーダと逆量子化回路と逆周波数変換回路（本例では逆ディスクリートコサイン変換回路）を直列に具える標準画質の慣例のデコーダ、又は2つの並列チャネルの各々内にメモリと可変長デコーダと逆量子化回路を具える高画質のデコーダのいずれかにすることができる。これらの2つのチャネルの出力端子と逆ディスクリートコサイン変換回路の入力端子との間に加算器を設ける。

【0041】本発明は、2画質レベルを有するこのような符号化方式、又はもっと一般的に数画質レベルを有する符号化方式とコンパチブルである。図10は入力データストリームを2つの画質レベルを有する2つの出力データストリームに変換しうる本発明トランスコーディング装置の第3の実施例を示す。

【0042】この装置は、

(1) 一方では、低画質を有する画像に対応する第1の出力データストリームを得るために図8に示すものと同一の素子212及び213を具え、

(2) 他方では、予測サブアセンブリ440を具え、該サブアセンブリは、(a) 図8と同一の素子214、241、242、243、244、245を具えるとともに、(b) 減算器214の出力端子と逆ディスクリートコサイン変換回路243の入力端子との間に、追加の符号化及び復号化チャネル413を具え、該チャネルは、チャネル213と同様に、量子化回路(Q)406及び可変長符号化回路(VLC)407と、この量子化回路406の出力端子に接続された逆量子化回路(IQ)408及び第2減算器414とを具える。

【0043】符号化回路407の出力端子は本例トランスコーディング装置の第2出力端子であり、この出力から高画質の画像に対応する第2データストリームが得られる。減算器414の正入力端子を逆量子化回路408の出力端子に接続し、その負入力端子を減算器214の出力端子に接続し、その出力端子を逆ディスクリートコサイン変換回路243の入力端子に接続する。

【0044】上述したトランスコーディング装置の3つの実施例から、トランスコーディング方法の費用のかかるステップを省略する本発明の基本原理の明確な理解が得られたものと思う。

【0045】前述したように、トランスコーディング方法は、復号化ステップに続いて動き補償ステップを含む復号化部分と、符号化及び復号化ステップと予測ステップを含む符号化部分を具える。復号化ステップは可変長復号化サブステップと逆量子化サブステップと逆周波数変換サブステップとを直列に具える。符号化及び復号化

ステップは周波数変換サブステップと量子化サブステップとを直列に具え、量子化サブステップに続いて並列に、一方では可変長符号化サブステップを、他方では逆量子化サブステップ及び逆周波数変換サブステップを直列に具える。動き補償ステップ並びに予測ステップは信号蓄積サブステップに続いて動き補償サブステップを具える。

【0046】本発明方法は、上述の場合のように2つのステップで2つの信号蓄積サブステップを必要とせず、  
10 一つの信号蓄積サブステップを必要とするだけにする。このような状態は、前記復号化ステップと前記符号化及び復号化ステップとの間に、量子化前の信号と逆量子化後の信号とを減算する第1減算サブステップと、得られた信号を蓄積する蓄積サブステップと、現画像と前画像との間の動き補償を行う動き補償サブステップと、符号化すべき復号された信号と補償された信号とを減算する第2減算サブステップとを直列に具える変形予測ステップを挿入することにより得られ、前記動き補償ステップ及び前記予測ステップはもはや必要なくなる。

20 【0047】本発明の数例の上記の説明から、この方法の利点が容易に理解される。特に、この方法は、変形予測ステップ内に、前記第1減算サブステップと前記蓄積サブステップとの間で周波数信号を空間信号に変換する追加のサブステップ、即ち逆周波数変換サブステップを設けるとともに、前記動き補償サブステップと前記第2減算サブステップとの間で空間信号を周波数信号に変換する追加のサブステップ、即ち周波数変換サブステップを設けることにより、複雑度の更に良好な低減が得られる。その理由は、このような追加のサブステップの付加により復号化サブステップの逆周波数変換サブステップと符号化サブステップの逆周波数変換サブステップの省略が可能になるためである。

【0048】最後に、本発明方法は先に示したように画像を幾つかの画質レベル（一般に2つの画質レベル）に従って分配するのに使用することができる。低画質は可変長符号化サブステップの実行後に得られる信号に相当する。もっと高画質の少なくとも一つのレベルを得るためには、少なくとも一つの追加の符号化ステップが必要である。このような追加の符号化ステップは量子化前の  
40 信号と逆量子化後の信号との間の第1減算サブステップと周波数信号を空間信号に変換するサブステップとの間に設ける。この追加の符号化ステップは第2の量子化サブステップを具え、この量子化サブステップの後段に並列に、一方では第2の可変長符号化サブステップを、他方では第3の逆量子化サブステップ及び量子化前の信号とこの第3の逆量子化後の信号との間の第2減算サブステップを直列に具えるものとする。更に、このような符号化ステップを直列に反復してもうけることにより順に高い画質レベルを得ることができる。

50 【図面の簡単な説明】



【図1】 MPEG標準とコンパチブルなデコーダの慣例の構成を示す図である。

【図2】 MPEG標準とコンパチブルなエンコーダの慣例の構成を示す図である。

【図3】 このようなデコーダとエンコーダを直列に具えるトランスコーディング装置の慣例の構成を示す図である。

【図4】 本発明トランスコーディング装置の第1の実施例を示す図である。

【図5】 図4のトランスコーダと等価な構成を示す図である。

【図6】 図4のトランスコーダと等価な他の構成を示す図である。

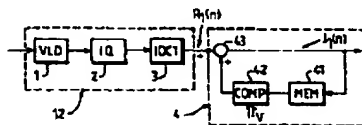
【図7】 図4のトランスコーダと等価な他の構成を示す図である。

【図8】 本発明トランスコーディング装置の第2の実施例を示す図である。

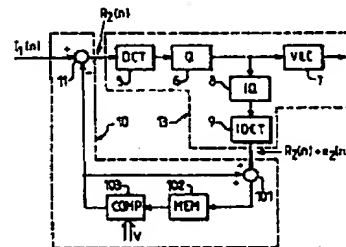
【図9】 2つの画質レベルを有する慣例のエンコーダの一例を示す図である。

【図10】 入力データストリームを2つの画質レベルに従って2つの出力データストリームに変換しうる本発明トランスコーディング装置の第3の実施例を示す図である。

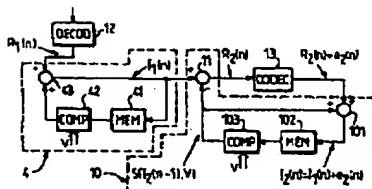
【図1】



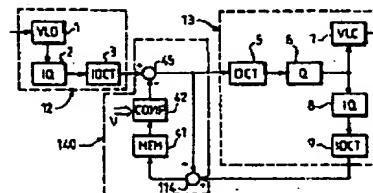
【図2】



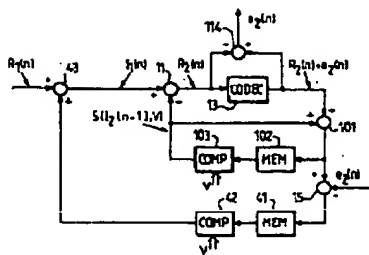
【図3】



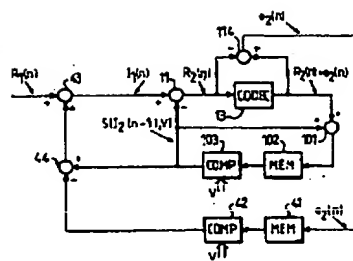
【図4】



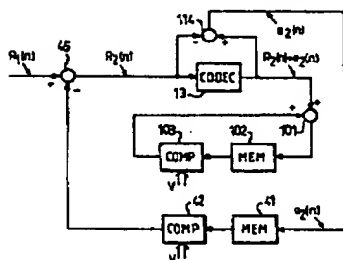
【图5】



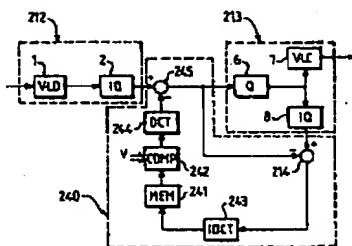
【图6】



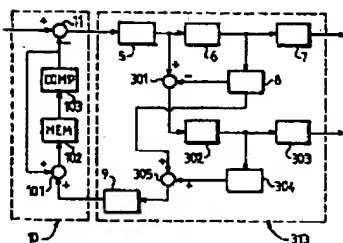
【图7】



【図 8】



【图9】



【图 10】

